

CLIPPEDIMAGE= JP405121685A
PAT-NO: JP405121685A
DOCUMENT-IDENTIFIER: JP 05121685 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: May 18, 1993

INVENTOR-INFORMATION:

NAME
YOSHIKAWA, YASUYUKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC IC MICROCOMPUT SYST LTD	N/A

APPL-NO: JP03279405

APPL-DATE: October 25, 1991

INT-CL (IPC): H01L027/092; H01L027/04 ; H01L027/08
US-CL-CURRENT: 257/371, 257/372 , 257/784

ABSTRACT:

PURPOSE: To reduce chip size by burying wiring for supplying power and wiring for grounding in a semiconductor substrate.

CONSTITUTION: Wiring 3 and wiring 4 are formed on an N-type well 2 formed in a P-type silicon substrate 1 and on the region except the N-type well 2. An N-type well 2a is formed in a P-type silicon layer 6 formed on the surface containing the wiring 3 and the wiring 4, so as to conform with the N-type well 2, and the wiring 3 is electrically isolated from the wiring 4. A MOS transistor is formed on each of the N-type well 2a and the P-type silicon layer 6, and connected with the wiring 3 and the wiring 4 in the substrate. Thereby chip size is reduced, and, at the same time, a signal line can be freely arranged on elements. Electric potential of the well and the substrate is stabilized in virtue of existence of the wiring 3 and the wiring 4, so that latch-up can be prevented.

COPYRIGHT: (C) 1993, JPO&Japio

(11)特許出願公開番号

(43)公開日 平成5年(1993)5月18日

技術表示箇所

3 2 1 F

【特許請求の範囲】

【請求項1】 一導電型半導体基板の一主面に設けた逆導電型の第1のウェルと、前記第1のウェル及び第1のウェル以外の領域のそれぞれの上に設けた電源又はGND用の配線と、前記配線を含む表面に設けた一導電型半導体層と、前記第1のウェルに整合して前記一導電型半導体層内に設け且つ前記第1のウェル上に設けた配線と前記第1のウェル以外の領域上に設けた配線とを電気的に分離する逆導電型の第2のウェルと、前記第2のウェル及び前記一導電型半導体層のそれぞれに設け且つ前記それぞれの領域に埋込まれた前記配線と接続するMOSトランジスタとを有することを特徴とする半導体集積回路。

【請求項2】 配線がアルミニウム、タングステン等の金属層である請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特にCMOSトランジスタを有する半導体集積回路に関する。

【0002】

【従来の技術】 従来の半導体集積回路は図3に示すように、P型シリコン基板1に設けたN型ウェル2と、N型ウェル2を含むP型シリコン基板1の表面に設けて素子形成領域を区画するフィールド酸化膜7と、素子形成領域上に設けたゲート電極8に整合してN型ウェル2に設けたP型拡散層9及びP型シリコン基板1に設けたN型拡散層10と、ゲート電極8を含む表面に設けた層間絶縁膜11と、層間絶縁膜11に設けたコンタクトホールを介してP型拡散層9及びN型拡散層10のそれぞれと接続して設けた電源用配線15、GND用配線16、信号用配線12とを有して構成される。

【0003】

【発明が解決しようとする課題】 この従来の半導体集積回路では、電源用配線及びGND用配線が一般の信号用配線と同一の配線層上に混在して形成される構成となっている。

【0004】 現在、マイクロコンピュータ等の構成の複雑さ、規模の大きさからトランジスタ素子そのものの大きさよりも素子同志を接続する配線及び素子に電力を供給する電源用配線及びGND用配線が占める領域によりチップの面積が決定され、集積度向上のネックになっている。この対策として、配線層を多層化する事により、1層当たりの負担の軽減を図るという方法が一般的に採用されているが、この方法の場合、配線層が上層になる程下層の拡散層・ゲート電極等への接続が難しくなり、かつ接続するために必要なコンタクト領域も大きくなるため、集積度は必ずしも向上できないという問題点があった。

【0005】

【課題を解決するための手段】 本発明の半導体集積回路は、一導電型半導体基板の一主面に設けた逆導電型の第1のウェルと、前記第1のウェル及び第1のウェル以外の領域のそれぞれの上に設けた電源又はGND用の配線と、前記配線を含む表面に設けた一導電型半導体層と、前記第1のウェルに整合して前記一導電型半導体層内に設け且つ前記第1のウェル上に設けた配線と前記第1のウェル以外の領域上に設けた配線とを電気的に分離する逆導電型の第2のウェルと、前記第2のウェル及び前記一導電型半導体層のそれぞれに設け且つ前記それぞれの領域に埋込まれた前記配線と接続するMOSトランジスタとを有する。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。

【0007】 図1(a)、(b)は本発明の第1の実施例を説明するための断面図及び切欠斜視図である。

【0008】 図1(a)に示す様に、まず、P型シリコン基板の一主面にN型不純物をイオン注入してN型ウェル2を形成する。次にN型ウェル2を含む表面にアルミニウム又はタングステン等の金属層を堆積し、ホトリソグラフィ技術を用いてパターニングし、電源用配線3とGND用配線4とを形成する。この配線3、4を含む表面にPSG膜5を形成した後、配線3、4が露出するまで研磨して配線3、4間にPSG膜5を埋込み、この上にP型シリコン層6をヘトロエピタキシャル法により成長させる。次に、N型ウェル2aをN型ウェル2と整合してP型シリコン層6内に形成して電源用配線3とGND用配線4を電気的に分離する。次に、N型ウェル2aを含むP型シリコン層6の表面を選択的に酸化して素子形成領域を区画するフィールド酸化膜7を形成し、素子形成領域上に設けたゲート電極8に整合してN型ウェル2a内にP型拡散層9を形成し、N型ウェル2a以外の領域のP型シリコン層6内にN型拡散層10を形成する。ここで、P型拡散層9及びN型拡散層10のそれぞれに選択的に配線3及び配線4に達する拡散層を深く形成して配線3とP型拡散層9とを接続し、配線4とN型拡散層10とを接続する。次に、ゲート電極8を含む表面に層間絶縁膜11を堆積してコンタクトホールを設け、P型拡散層9及びN型拡散層10と接続する信号用配線12を形成する。

【0009】 図1(b)に示すように、電源用配線3とGND用配線4の配置は、半導体基板上に形成するPチャネルトランジスタの領域とNチャネルトランジスタの領域を分離し、それぞれのトランジスタ群に対する電源端子20及びGND端子21からの電位の供給が互いに交差する事無く行えるように各トランジスタ群を配置する。この状態において前述した拡散層の下に埋設した電源用配線3及びGND用配線4を各トランジスタの拡散層に接続すると、各トランジスタへの電源またはGND

電位の供給は拡散層の直下から行えるため、拡散層の上は信号用の配線を自由に配置する事が出来、信号線が電源配線又は062敗線を跨ぐためのコンタクト領域も必要なくなるため、電源用配線3及びGND用配線4の占める領域に相当する面積以上にチップサイズを縮小できる利点がある。

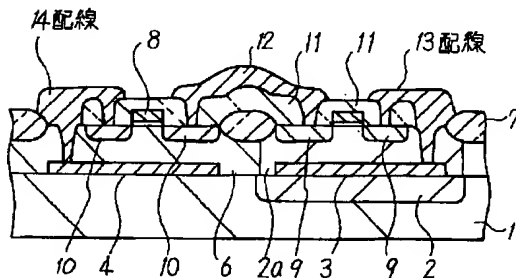
【0010】図2は本発明の第2の実施例を説明するための断面図である。

【0011】図2に示すように、第1の実施例と同様の工程により、P型シリコン基板1の一面にN型ウェル2を形成し、N型ウェル2の上に電源用配線3及びN型ウェル2以外の領域にGND用配線4をそれぞれ形成する。次に配線3、4を含む表面にP型シリコン層6を形成してN型ウェル2に整合するN型ウェル2aを形成し、配線3と配線4とを電気的に分離する。次に、第1の実施例と同様にゲート電極8に整合してP型拡散層9及びN型拡散層10を形成する。次に、ゲート電極8を含む表面に層間絶縁膜11を堆積してP型拡散層9及びN型拡散層10に対するコンタクトホールと、配線3、4に対するコンタクトホールを形成し、これらのコンタクトホールを含む表面にアルミニウム等の金属層を堆積してパターニングし、信号用配線12及び配線3とP型拡散層9とを接続する配線13、配線4とN型拡散層10とを接続する配線14のそれぞれを形成する。

【0012】ここで、配線3と配線4との電気的分離をN型ウェル2、2aのPN接合面のみで実現しており、工程を簡略化でき、また、配線3、4と拡散層9、10との接続を金属配線で接続しており、低抵抗の接続ができるという利点がある。

【0013】

【図2】



【発明の効果】以上説明した様に本発明は、電源端子から発しN型ウェル領域内に内包されて拡散層の下に埋設された配線層と、GND端子から発しP型基板領域内に内包されて拡散層の下に埋設された配線層とを有する事により、電源配線及びGND配線の占める領域及び信号線が電源配線又はGND配線を跨ぐ領域に相当するチップサイズを縮小できるという効果を有する。

【0014】また、基板及びウェルに直接電気的に低抵抗で接続する電源配線及びGND配線をチップ全面にわたって有する事となるため、電源及びGND電位の安定化を図る事が出来、ラッチアップ等が発生しにくくできるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための断面図及び切欠斜視図。

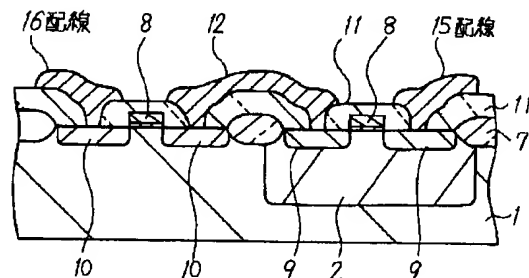
【図2】本発明の第2の実施例を説明するための断面図。

【図3】従来の半導体集積回路を説明するための断面図。

【符号の説明】

- 1 P型シリコン基板
- 2, 2a N型ウェル
- 3, 4, 12, 13, 14, 15, 16 配線
- 5 PSG膜
- 6 P型シリコン層
- 7 フィールド酸化膜
- 8 ゲート電極
- 9 P型拡散層
- 10 N型拡散層
- 30 11 層間絶縁膜

【図3】



【図1】

